

次なる「IBMの法則」 ひっばれば速くなる

米IBM Corp.がまたしても新しいプロセス技術を発表した。
今度はLSIの動作速度を35%向上できる「ひずみSi」と呼ぶ技術である。
わずか2年後の2003年までに実用化するという。
日本メーカーも同じ技術に目を付けて開発を進めていたが
いつの間にか追い越されてしまった。
慌てふためく日本メーカーを尻目に、IBM社は実用化に向けて着実に進む。

Leading Trends

朝早くにもかかわらず、気が付くと会場は人で溢れ返っていた。着席できない人が会場の後ろに幾重にも重なっている。人々は発表者の言葉を一言も聞き逃すまいと息を潜めて真剣に聞き入っていた。

発表が終わるや否や、参加者達は、次々と立ち上がって質問用のマイクに殺到した。4本用意されたマイクのそれぞれに列ができ、次の質問を発しようとい互いに牽制しあっている。休憩時間に入っても至る所で人の輪ができ、発表内容についての白熱した議論が続いた。

LSIの性能が35%アップする

2001年6月12日～14日に京都で開催されたLSIの国際学会「2001 Symposium on VLSI Technology」での一コマ

である。これほどまでに注目を集めたのは、米IBM Corp.のプロセス技術に関する2件の発表だった。IBM社は、学会での講演の前日にその概要を新聞発表した。このニュースは、インターネットを通じてその日のうちに広がり、技術の詳細や完成度について情報を得ようとする技術者達が学会に詰め掛けることになった。

発表の内容は、LSIの動作速度を35%向上できる「ひずみSi」と呼ぶ技術に関するもの。トランジスタを構成するSi膜にひずみを加えることでLSIの性能を引き上げる。従来のCMOSトランジスタの製造工程との違いは、一部の材料を変更することくらい。既存の製造設備を転用できるため、コストをそれほど高めることなく性能を向上できる。

あと2年で実用化

IBM社の発表が衝撃的だったのは、技術的な内容だけではない。この技術を2003年に実用化すると宣言したことも技術者達を驚かせた⁽¹⁾。「2003年まであと2年しかない。実用化のハードルは相当高いと思う」と各社の技術者は当惑する。それでも次の一言を付け加えるのを忘れない。「あのIBM社だから、本当にやってくるかもしれない」(図1)。

あのIBM社だからと言わしめるのは、これまでのIBM社の実績である。1990年代後半に同社は、新しいプロセス技術を次々と発表し、いずれも数年以内に実用化してきた。SiGe、Cu配線⁺、SOI (silicon on insulator) 基板⁺といった先端技術を、実用化を表明してから2～3年で製品に利用した (図2)。「有

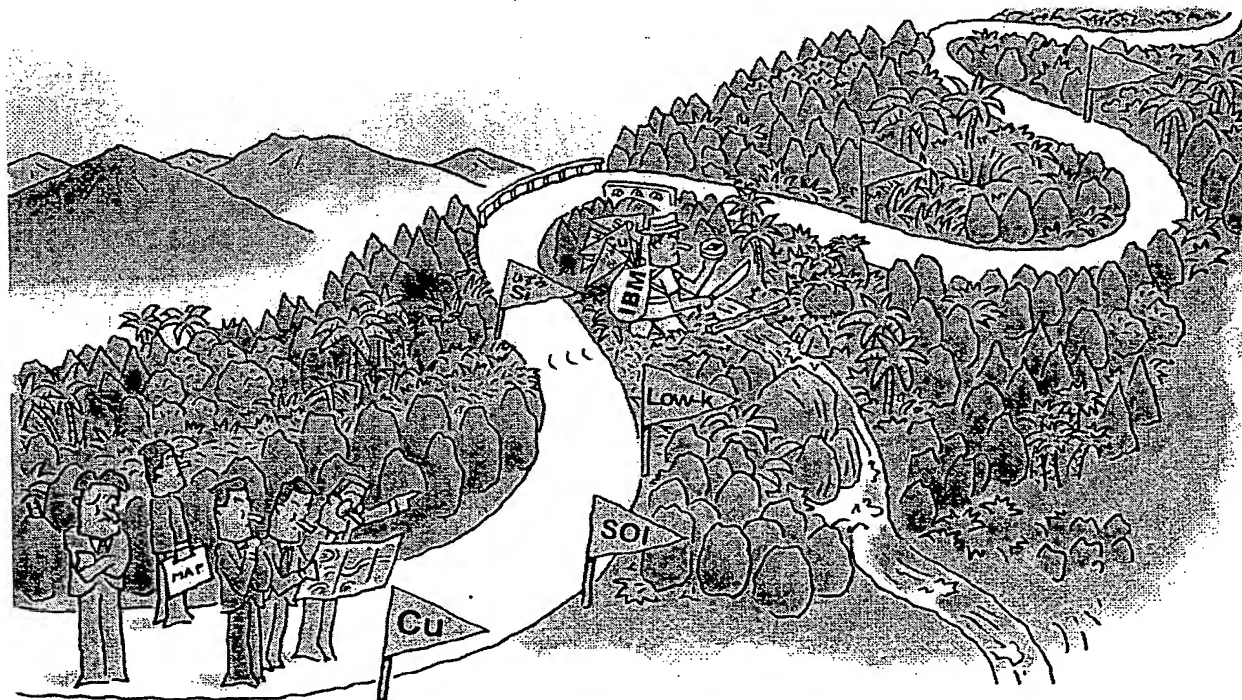


図1 道なき道を進む

米IBM Corp.は、独自の戦略に基づき新しいプロセス技術を積極的に採用してきた。これまでにSiGe、Cu配線、SOI基板などを他社に先駆けて実用化している。2001年6月には次なる技術としてLSIの動作速度を高める「ひずみSi」を発表、いち早く製品に取り入れるべく研究開発を進めている。(イラスト：村松ガイイチ)

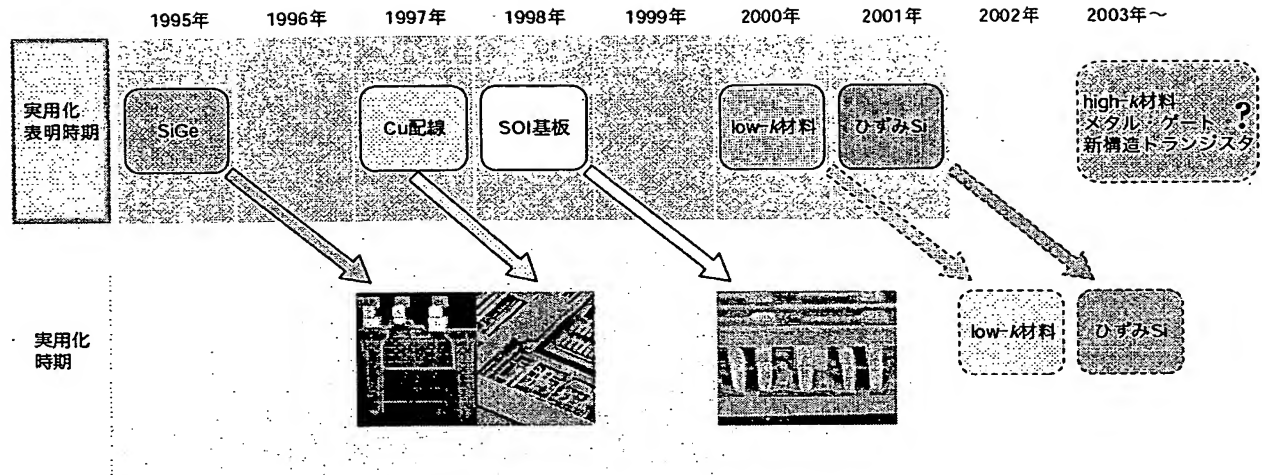


図2 米IBM Corp.は有言実行
米IBM Corp.は、実用化を宣言したプロセス技術をほぼスケジュール通りに製品化してきた。同社は2001年6月に「ひずみSiを2003年までに実用化する」と発表した。これまでの実績から推測して今回もその通りになるとみる技術者は少なくない。(図：本誌、写真：米IBM Corp.)

言実行」を地で行くIBM社だけに、ひずみSiを2003年に実用化するという言葉にも現実味がある。

今回の研究成果も、製品への適用が遠くないと感じさせる。発表を聞いた技術者からは「実用化に向けてかなりいい線を行っている」(東芝のLSIの開発技術者)との声が相次いだ。

特に技術者の注目を集めたのは、実効ゲート長が67nmと小さいトランジスタを試作したことだった(図3)。ひずみSiを用いて製品に近いレベルのトランジスタを試作するのは今回が初めて。試作したトランジスタを使って電子の移動度を測定した結果、ひずみSiを用い

ない場合に比べて移動度が70%向上することを実際に確かめた(図4)。これは、LSIの動作速度に換算すると35%の向上に相当する数字という。1.5MV/cmという高電界側でも優れた特性を得たことで、将来の微細化にも十分に耐え得ることも示している。

臍をかむ国内メーカー

IBM社の発表を聞いた国内半導体メーカーの反応は、立場によって真っ二つに分かれる。プロセスを利用する立場の技術者は諸手を挙げて歓迎する。「使えるのなら、今すぐにでも使いたい」(三菱電機のLSIの開発技術者)と興味

津々だ。

一方で半導体の製造プロセスの研究者は、口々に「悔しい」と無念さをあらわにする。そこまで悔しがするのも無理はない。実は国内メーカーも、同じ技術の開発を進めてきたのである。特に東芝は、いち早くひずみSiの可能性に目を付けて学会発表を繰り返してきた。

現在に近い形で発表したのはIBM社よりも早い1999年。発表の後には「IBM社の技術者が詳細について根掘り葉掘り聞いてきた」(東芝 研究開発センター LSI基盤技術ラボラトリー 個別半導体基盤技術ラボラトリー 室長の黒部篤氏)ほどだった。つまり、研究に着

注した。IBM Corp.は、ひずみSiを用いたトランジスタの試作に成功した。これは、半導体の製造プロセスにおいて、ゲート長を小さくする必要がある。ひずみSiを用いることで、ゲート長を小さくすることが可能になる。これは、半導体の製造プロセスにおいて、ゲート長を小さくする必要がある。ひずみSiを用いることで、ゲート長を小さくすることが可能になる。

注した。IBM Corp.は、ひずみSiを用いたトランジスタの試作に成功した。これは、半導体の製造プロセスにおいて、ゲート長を小さくする必要がある。ひずみSiを用いることで、ゲート長を小さくすることが可能になる。

注した。IBM Corp.は、ひずみSiを用いたトランジスタの試作に成功した。これは、半導体の製造プロセスにおいて、ゲート長を小さくする必要がある。ひずみSiを用いることで、ゲート長を小さくすることが可能になる。

注した。IBM Corp.は、ひずみSiを用いたトランジスタの試作に成功した。これは、半導体の製造プロセスにおいて、ゲート長を小さくする必要がある。ひずみSiを用いることで、ゲート長を小さくすることが可能になる。

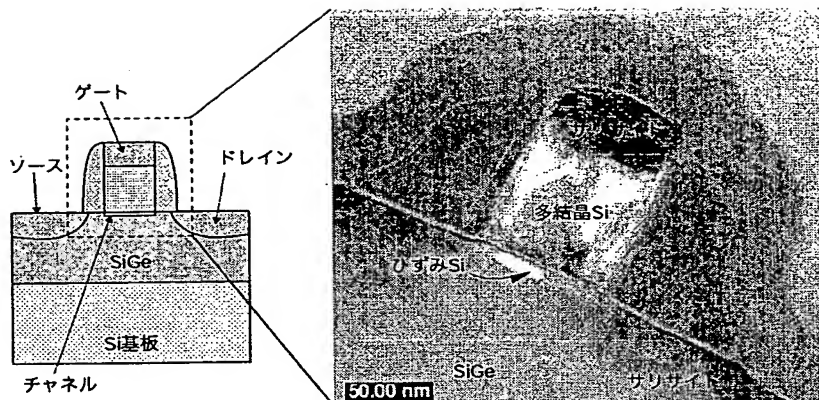


図3 ひずみSiを利用したトランジスタを試作
米IBM Corp.は、チャネル部分にひずみSiを用いたトランジスタを試作した。実効ゲート長は67nmと小さい。ひずみSiによってLSIの動作速度は35%以上向上するという。(図:本誌、写真:米IBM Corp.)

手するのは早かったのに、いつの間にか
IBM社に追い越されてしまったのだ。

東芝以外にもひずみSiを研究している国内半導体メーカーは少なくない³⁾。ところが各社とも、実用化の時期は2005年ころと見積もっていた。IBM社が実用化する時期と比べて2年も後である。

国内メーカーの判断の根底にあるのは、「ムーアの法則」¹である。ムーアの法則が象徴的に示すように、半導体業界には数年後のLSIの集積度や性能について暗黙の了解がある。各社はこの了解を基にして、開発すべき技術のロー

ドマップを描いている。最近では、微細化だけによる性能向上の限界が見え始めており、各社とも従来のトレンドを維持するために、新材料の導入を検討し始めたところだ^(注1)。ひずみSiはその候補の一つで、微細化や性能向上のベースからいって、2005年ごろに必要なとみていた(図5)。

他社に先駆けて成功する

IBM社はこのような他社の常識を歯牙にもかけない。それどころか、同社は他社の常識を逆手に取ることでビジネ

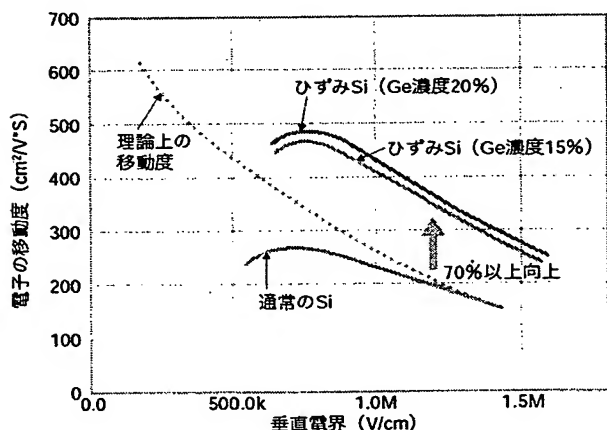


図4 電子の移動度が70%以上向上
米IBM Corp.が試作したひずみSiを使ったトランジスタでは、電子の移動度が、通常のSiを使ったトランジスタに比べて70%以上向上した。(図：米IBM Corp.)

スを拡大してきたといえる。

1990年代後半、IBM社は業界の予測に先駆けて先端技術を導入するという独自の戦略を打ち出し、次々に成功を収めてきた。この戦略の有効性を国内外の業界関係者に印象付けたのは、Cu配線の採用だった。IBM社がCu配線の実用化を決めたとき、「しばらくはAl配線で十分。ロードマップから見ればCu配線が必要なのはまだ先」と多くの半導体メーカーは相手にしなかった。

ところがフタを開けてみると、少しでも性能の高い製品を求めるユーザーは、Cu配線を求めてIBM社に殺到した²⁾。Cu配線を採用した1998年以降、同社は特定顧客向けLSIで大きく売り上げを伸ばしている^(注5)。

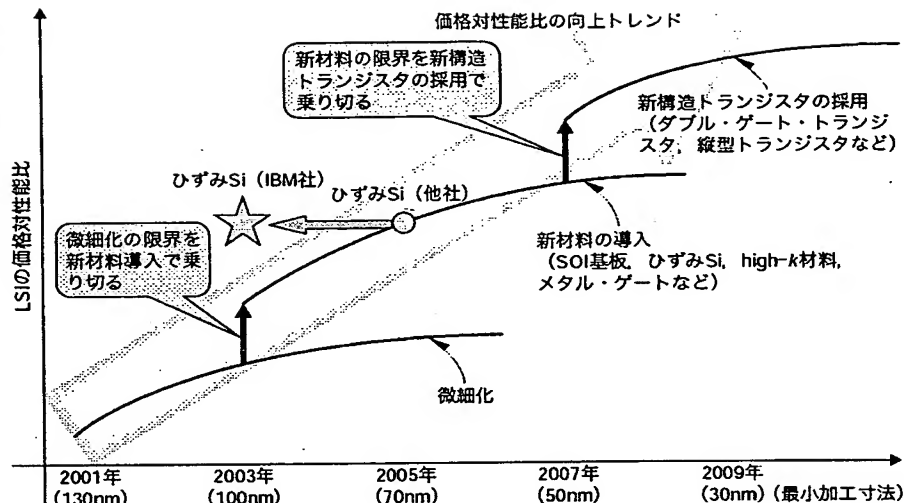
反対に日本の半導体メーカーは、ユーザーからのCu配線に対する要望に頭を抱えることになった。Cu配線の実用化を前倒して進めざるを得くなり、開発現場は右往左往するばかり。未だにCu配線に対応できていない国内メーカーもあるほどだ。

IBM社は、Cu配線以外にもSiGe、SOI基板、low- k 材料などで全く同じ手法を使ってきた。今回のひずみSiについても、「Cu配線やSOI基板などと同様のインパクトがある技術」(IBM社、T.J. Watson Research Center, Exploratory Devices and Integration Technology,

[illegible]

二、モアの法則 (Moore's Law) 米国の Intel 社
名義) で、1975 年 Dick E. Moore 氏 (少卿) が半導体の
集積度に関する法則、半導体の集積度は 2 年毎に 2 倍
になるとの予測を発表した。この法則は、1975 年以降の半
導体の集積度と半導体技術の進歩を示している。この法則
が、増大した集積度の半導体チップの製造に必要となる
電力、冷却、およびその他の要素の増大を予測する重要な
法則である。この法則は、半導体技術の進歩を示す重要な
指標として、半導体技術の発展に貢献している。

図5 先行して新技術を投入する
論議LSIは、これまで以上に単純に微細化を進めていくだけで2003年には3次元性向上のベースが純化する可能性が高い。半導体メーカー各社は、新しい材料を投入することで従来通りの性能向上のベースを保つ計画である。新材料の中でも必ずみずみーについては、2005年以降に実用化を予定するメーカーが多い。米IBM Corp.は、この時期を待たずに新技術を投入することで、他社の引き離しを図る。(図：各社の資料を基に本誌作成)



Senior ManagerのHon-Sum Philip Wong氏)として、Cu配線などと並ぶ「第5の技術」と位置付ける。

「IBMの法則」

これまでIBM社が新技術を発表したときと同様、日本の半導体メーカーはIBM社の後を追うことになるだろう。IBM社の発表をキッカケに、ひずみSiの実用化に向けた研究開発が活発になりそうな気配である。現場の技術者は、IBM社の発表に刺激されたトップの要求で「ひずみSiに関する資料作りにおおわらわだ」（複数の技術者）ともらす。

IBM社が発表した技術を、次の開発の目標として後追いする。この構図は、

国内半導体メーカーがこれまで開発の指針にしてきた「ムーアの法則」から、「IBMの法則」とでも呼べそうな指針に宗旨替えをしたかに写る。IBM社のお墨付きで開発の方向を絞り込むこの指針は、微細化の効果に陰りがみえる今、一見妥当なものに思える。

現実には、他社の二番煎じのメーカーが勝ち残れるほど、これからの半導体市場は甘くはないだろう。IBM社が成功したのは、ムーアの法則に囚われた他のメーカーとは異なる独自戦略を打ち出したからである。国内半導体メーカーが、「ムーアの法則」を「IBMの法則」に代えたところで、他社と似たり寄ったりの将来像を描くという姿勢は変わら

ない。IBM社が次々に繰り出す新技術
に対抗するには、国内メーカーも他社
にはない独自戦略を打ち出すことが必
要だろう。

SiGe膜の成膜方法が 実用化のカギ

ひずみSiを実用化するまでに乗り越えなければならない壁はいくつもある(表1)。量産時の歩留まりを上げるプロセス技術の確立や、物理学的な原理の解明など、課題は山積している。なかでも実用化のカギを握るのは、Si膜の下地となるSiGe膜である。

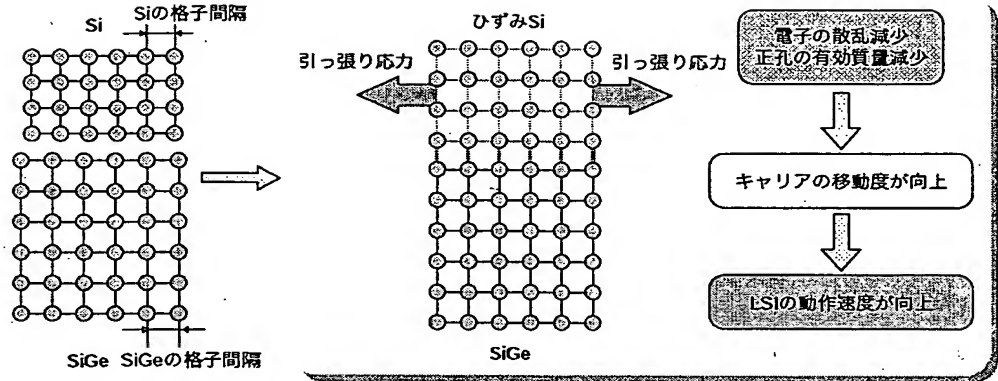
ひずみSiが、LSIの動作速度を向上させる秘密はトランジスタのチャネル部分

[illegible][illegible]

（一）本行在國內外設有分行及代理店，其名稱及所在地如下：

68

図6 格子定数の差が、ひずみを生む
SiGe膜上にエピタキシャル成長法でSi膜を成長すると、Si原子はSiGeの格子間隔を保ったまま成長する。Siは本来、SiGeよりも格子定数小さいので、応力が加わった状態で形成されることになる。この状態のSi中では、電子の散乱が減り、正孔の有効質量が減少するため、両者の移動度が向上する。この結果、LSIの動作が高速になる。(図：米IBM Corp.の資料を基に本誌が作成)

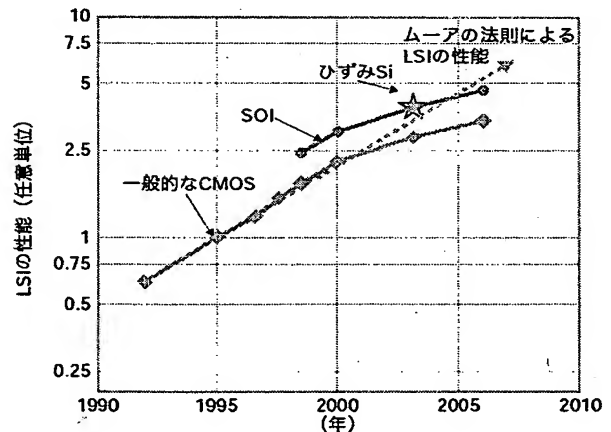


SOI基板とひずみSiを組み合わせる際にポイントになるのが、SiGe膜のGe濃度である。Ge濃度を高くすればSiGeの格子が広がり、Siに加わるひずみが増す。それだけLSIの性能も高まることになる。

ただし、これまでに提案された手法では、Ge濃度を十分に高めることができなかった。例えば、東芝が発表したSiGe膜にOイオンを注入するSIMOX (separation by implanted oxygen) 法を用いる手法では、Ge濃度は15%程度が限界だった³⁾。SIMOX法は、SiO₂膜を形成する際に1350℃の高温アニールが必要になる。Ge濃度を上げるとSiGeの融点が徐々に下がるため、アニール温度を下回らない程度にしかGe濃度を高められない (図8)。

今回IBM社は、別の基板に作成した

図7 ひずみSiとSOI基板の効果は同等
ひずみSiがLSIの動作速度に与える影響は、SOI基板と同等と見込まれる。このため、ひずみSiを単独で用いても、開発で先行するSOI基板に比べてメリットが少ない。米IBM Corp.や東芝などは、ひずみSiとSOI基板を組み合わせる方法を検討している。(図：米IBM Corp.の資料を基に本誌が作成)



SiO₂膜をSiGe膜に張り合わせてSOI基板を作成する手法を発表した⁴⁾。SIMOX法ほど高温でアニールする必要がないため、25%程度と比較的高いGe濃度を維持することができる。IBM社によれば、この程度の濃度が実現できれば十分実

用に耐えるという。「シミュレーション結果によれば、Ge濃度が30%程度まで上がると、キャリアの移動度を向上する効果は薄れてくる」(IBM社、T.J. Watson Research Center, Research Staff MemberのKern Rim氏)。

注1) ひずみSiとSOIを組み合わせたLSIは、SOIと同等の性能向上を示し、ムーアの法則によるLSIの性能の向上と一致している。

酸化によってGeを濃縮

IBM社以外にも、ひずみSiとSOI基板を組み合わせる手法を模索するメーカーはある。例えば東芝は、酸化濃縮法と呼ぶ手法を開発している。SOI基板上に成膜したSiGe膜を酸化して下地のSi

膜中にGeを追い出すことで、Ge濃度の高いSiGe膜を形成する手法である。

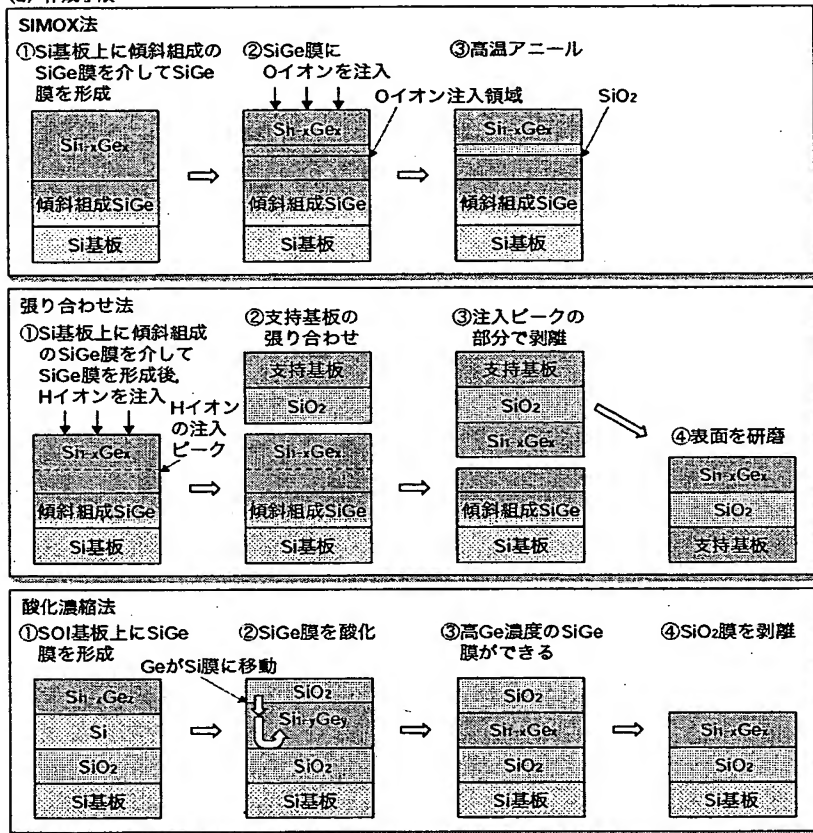
酸化濃縮法では、Ge濃度は最大で57%と高い。ただし、現時点ではSiGe膜の結晶格子の緩和率が50%と低いために実効的なGe濃度は30%程度という。

東芝によれば製造プロセスを工夫することで、緩和率の向上は十分に可能という。この手法には、IBM社の手法と比べてSiGe膜の表面の平坦度が高いなどの利点もある。

ひずみSiとSOI基板を組み合わせる際に、どの方式が最適なのかは議論が分かれるところだ。IBM社も「現時点で最高の性能を出せる方法を提案したまで。2年後の実用化時にどの方式を使うかは決めていない」（IBM社のRim氏）と他の手法も検討していることを匂わせる。ひずみSiの開発で先手を打たれた日本メーカーも、ここでは一矢を報いることができるかもしれない。

(河合 基伸)

(a) 作成手順



(b) 特性比較

SiGe膜の特性	SIMOX法	張り合わせ法	酸化濃縮法
膜厚 (nm)	300	200~300	10
Ge濃度 (%)	<15	15~25	10~57
格子緩和率 (%)	100	>90	50
表面粗さ (nm)	1.1	0.4	0.22

図8 ひずみSiとSOI基板を組み合わせる

ひずみSiとSOI基板を組み合わせる場合は、ひずみSiの下地になるSiGe膜の形成方法がカギとなる。SiO₂膜上にSiGe膜を作成する方法として、SiGe膜にOイオンを注入してSOI基板を作成するSIMOX法、SiO₂膜をSiGe膜に張り合わせてSOI基板を作成する張り合わせ法、SOI基板上のSiGe膜を酸化する酸化濃縮法などがある。SIMOX法では、1350℃程度の高温アニールが必要のためにGe濃度を高めにくい。張り合わせ法は、25%程度までGe濃度を高めることができるが、転位などの欠陥によりSiGe膜の表面が荒れてしまう。酸化濃縮法は、Ge濃度を高くできるが、格子緩和率が50%と低いために実効的なGe濃度は30%程度である。(図：東芝の資料を基に本誌が作成)

参考文献

- 1) Rina, A., Koster, S., Hergert, M., Cla, L., Mooney, P.M., Shi, L., Kanicki, J., Boshara, P., Krong, M., Gull, A. and Wong, H.S.P., "Strained Si MOSFETs for high Performance CMOS Technology," 2004 Symposium on VLSI Technology Digest of Technical Papers, pp.60-66, Jun.2004.
- 2) 佐々木, 俊夫, 佐々木, 俊夫, 佐々木, 俊夫, "日本電子工業会誌," 2004年2月号, pp.140-145.
- 3) Mizuno, T., Takagi, S., Sugiyama, N., Koga, T., Tezuka, T., Usuki, K., Hasegawa, T., Kurobe, A. and Furukawa, A., "High Performance Strained-Si p-MOSFETs on SiGe-on-Insulator Substrates Fabricated by SIMOX Technology," Technical Digest of International Electron Device Meeting IEDM, 2004, pp.941-945, Dec.2004.
- 4) Huang, T.J., Chu, M., Goni, S., Tu, Y., Kim, C.P., Kerner, S.J., Campisi, D.F., Mooney, P.M., Goni, S.A., Spitzer, J.L., Anderson, R.M. and Wong H.S.P., "Carrier Mobility Enhancement in Strained Si On-Insulator Fabricated by Water Rinsing," 2004 Symposium on VLSI Technology Digest of Technical Papers, pp.67-68, Jun.2004.